

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-055338

(43)Date of publication of application : 26.02.1999

(51)Int.Cl.

H04L 27/22

(21)Application number : 09-211839

(71)Applicant : NIPPON TELEGR & TELEPH  
CORP <NTT>

(22)Date of filing : 06.08.1997

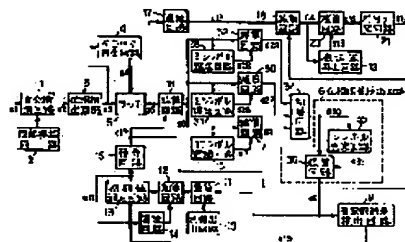
(72)Inventor : KIZAWA TAKESHI  
KOBAYASHI SEI  
MORIKURA MASAHIRO

## (54) DIGITAL DEMODULATOR

### (57)Abstract:

PROBLEM TO BE SOLVED: To sufficiently reduce a carrier wave frequency error, and to reduce an error rate in synchronization detection.

SOLUTION: In this demodulator, the orthogonal detection and phase conversion of a received DQPSK(differential quadrature phase shift keying) signal is operated, a phase at each symbol point is successively latched, carrier wave frequencies are corrected by a subtracting circuit 16, a phase error (a9) based on frequency deviation is detected from one symbol delay detection outputs of circuits 6 and 7 by a phase error detecting circuit 8, and an initial value a10 is obtained by an output circuit 9, and set in a circuit 13. Afterwards, a phase error a9 is inputted to a loop filter constituted of a gain circuit 11-adder circuit 12-initial value setting circuit 13-delay circuit 14-adder circuit 12, the filter output is integrated by a circuit 15, and supplied as frequency error components to the circuit 16. Then, a two symbol delay detection output is supplied to the phase error detecting circuit 8, and a three symbol delay detection output is supplied to the phase error detecting circuit 8 so that a carrier wave frequency error can be reduced.



## LEGAL STATUS

[Date of request for examination] 22.12.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-55338

(43) 公開日 平成11年(1999) 2月26日

(51) Int.Cl.<sup>8</sup>

H 0 4 L 27/22

識別記号

F I

H 0 4 L 27/22

A

審査請求 未請求 請求項の数 1 O L (全 6 頁)

(21) 出願番号 特願平9-211839

(22) 出願日 平成9年(1997) 8月6日

(71) 出願人 000004226

日本電信電話株式会社

東京都新宿区西新宿三丁目19番2号

(72) 発明者 鬼沢 武

東京都新宿区西新宿三丁目19番2号 日本  
電信電話株式会社内

(72) 発明者 小林 聖

東京都新宿区西新宿三丁目19番2号 日本  
電信電話株式会社内

(72) 発明者 守倉 正博

東京都新宿区西新宿三丁目19番2号 日本  
電信電話株式会社内

(74) 代理人 弁理士 草野 卓

(54) 【発明の名称】 デジタル復調器

(57) 【要約】

【課題】 同期検波において、搬送波周波数誤差を十分に小とし、誤り率を小とすることを可能とする。

【解決手段】 受信DQPSK信号を直交検波し、さらに位相変換し、その各シンボル点の位相を順次ラッチし、減算回路16で搬送波周波数を補正し、回路6、7の1シンボル遅延検波出力から周波数ずれに基づく位相誤差 $a_9$ を検出し(8)、その出力回路9により初期値 $a_{10}$ を求めて回路13に設定し、その後、位相誤差 $a_9$ を、利得回路11-加算回路12-初期値設定回路13-遅延回路14-加算回路12のループフィルタを構成し、そのフィルタ出力を積分し(15)、周波数誤差成分として回路16へ供給する。その後、2シンボル遅延検波出力を位相誤差検出回路8へ供給し、さらにその後、3シンボル遅延検波出力を位相誤差検出回路8へ供給して、搬送波周波数誤差を小とする。

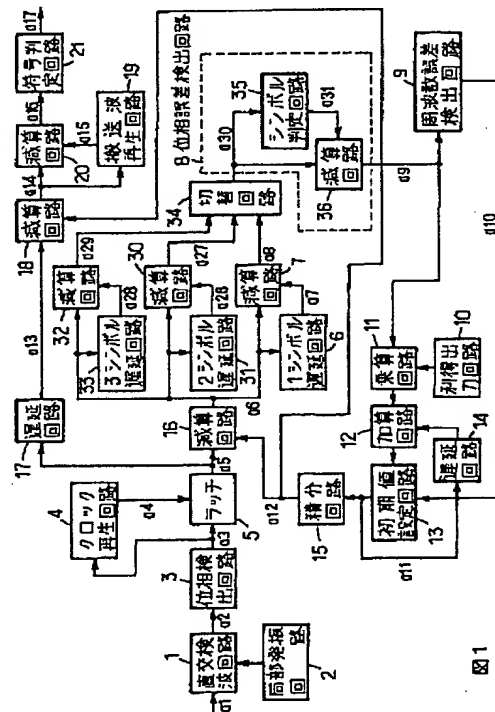


図1

## 【特許請求の範囲】

【請求項1】 受信信号を第1周波数誤差補正手段で周波数補正し、  
 その周波数補正された信号を、Mシンボル周期（Mは正整数）遅延検波手段で遅延検波し、  
 その遅延検波出力の位相回転量を位相誤差検出手段で検出し、  
 その検出位相回転量から上記受信信号の搬送波周波数誤差を周波数誤差検出手段で検出し、  
 その検出した搬送波周波数誤差をループフィルタ手段で平滑し、  
 上記ループフィルタ手段に初期値設定手段により、上記周波数誤差検出手段の出力で初期設定し、  
 上記ループフィルタ手段の出力に応じた周波数の信号を可変周波数発振手段より上記第1周波数誤差補正手段に与え、  
 上記受信信号を遅延手段で遅延し、  
 その遅延された受信信号に対し、上記可変周波数発振手段の出力により第2周波数誤差補正手段で周波数補正し、  
 その周波数補正された信号を同期検波するデジタル復調器において、  
 上記遅延検波手段におけるMの値（正の実数）を可変する手段が設けられていることを特徴とするデジタル復調器。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明はデジタル無線通信システムに用いられ、DQPSKのような差動符号化 $2^n$ （ $n$ は1以上の整数）相位相変調信号の復調器に関し、特に相手局から受信する信号の搬送波周波数誤差を

$$\theta_j = q\pi/2 + \pi/4 \quad (q=0, 1, 2, 3) \quad \dots\dots\dots (1)$$

一方、搬送波周波数誤差 $\Delta f$ が存在する場合には、信号点は図4の×印で示したように正規の位置から回転し、雑音による符号誤りが発生しやすくなる。 $\Delta f$ と位相回

$$\Delta\theta = 2\pi\Delta f T$$

位相誤差検出回路8は、この位相回転 $\Delta\theta$ の大きさを検出するもので、遅延検波信号 $a_8$ について式(3)に示

$$\Delta\theta_j = \phi_j - \theta_j$$

ここで $\phi_j$ は第jサンプルの遅延検波信号、 $\theta_j$ は式(1)において $\phi_j$ にもっとも近い値を取るように $q$ を選んだ場合の位相角判定信号である。

【0005】周波数誤差検出回路9は、位相回転信号に対して以下に示す処理を行い、搬送波周波数誤差検出を

$$u(\theta_j) = \begin{cases} \theta_j - \pi/2 & (\pi/4 < \theta_j) \\ \theta_j & (-\pi/4 < \theta_j \leq \pi/4) \\ \theta_j + \pi/2 & (\theta_j \leq -\pi/4) \end{cases}$$

……………(4)そして、平均値 $S_p$ は式(5)のように固定値 $\phi_p$ を減算された後、搬送波周波数誤差 $\Delta f$ に換算

$$\Delta f = (1/(2\pi T)) (S_p - \phi_p) \quad \dots\dots\dots (5)$$

補正する自動周波数制御回路を含むデジタル復調器に関する。

## 【0002】

【従来の技術】図3に従来のデジタル復調器の構成例を示す。ここでは、 $\pi/4$ シフトDQPSK (Differential Quadrature Phase Shift Keying) 変調信号に対応した回路構成を示す（参考文献：鬼沢他、“位相情報を用いる逐次処理型プリアンプレス復調器—AFC及びキャリア再生に関する検討—”，RCS96-149，電子情報通信学会技術研究報告）。図において中間周波数帯に変換された受信信号 $a_1$ は、直交検波回路1で局部発振回路2の出力信号により直交検波され複素ベースバンド信号 $a_2$ になり、さらに位相検出回路3によって位相信号 $a_3$ に変換される。クロック再生回路4は位相信号 $a_3$ から受信信号のクロック位相を検出し、シンボル識別点に同期した再生クロック $a_4$ を出力する。ラッチ5は再生クロック $a_4$ によって与えられるシンボル識別点で位相信号 $a_3$ をサンプリングしクロック同期のとれた位相信号 $a_5$ を出力する。位相信号 $a_5$ は第一の搬送波周波数誤差補正手段である減算回路16で周波数変換（周波数補正）された後、周波数変換信号 $a_6$ を出力し、これが減算回路7に入力されるとともに、1シンボル遅延回路6により周波数変換信号 $a_6$ が1シンボル区間遅延されて遅延信号 $a_7$ が出力される。減算回路7は周波数変換信号 $a_6$ と遅延信号 $a_7$ の差（ $a_6 - a_7$ ）なる遅延検波を行い、1シンボル区間の遅延検波信号 $a_8$ を出力する。

【0003】ここで、搬送波周波数誤差が存在しない場合には、遅延検波信号 $a_8$ の第jサンプルの位相角 $\theta_j$ はI/Q平面上で図4の○印で示したように式(1)を満足する。

転 $\Delta\theta$ の関係は式(2)で与えられる。Tはシンボル周期である。

$$\dots\dots\dots (2)$$

す演算を行い位相回転信号 $a_9$ を出力する。

$$\dots\dots\dots (3)$$

行う。位相回転信号 $\Delta\theta_j$ に対して、式(4)に示すように異なる固定値 $\phi_p$ を加えるパスを複数用意し、 $u(\theta)$ で表現されるモジュロ演算の後に平均化を行い、平均値 $S_p$ を得る。

$$S_p = (1/N) \sum_{j=1}^N u(\Delta\theta_j + \phi_p),$$

$$\begin{cases} \pi/4 < \theta_j \\ -\pi/4 < \theta_j \leq \pi/4 \\ \theta_j \leq -\pi/4 \end{cases}$$

される。

## 【0006】

この検出された搬送波周波数誤差に基づいた位相回転信号に応じて各パスの出力を選択あるいは合成することで搬送波周波数誤差検出を行い、搬送波周波数誤差信号 a 10 を出力する。一方、利得出力回路 10 により与えられたループ利得を乗算回路 11 で乗算し、加算回路 12 に入力する。初期値設定回路 13 には加算回路 12 の出力とオープンループ構成部から得られた搬送波周波数誤差信号 a 10 が入力される。この初期値設定回路 13 はループの切り替え時に、つまり初期動作させ、例えば  $N = 32$  シンボル期間動作させた時に、初めて信号が出力されるように設定される。その初期設定がなされると、遅延回路 14 では初期値設定回路出力 a 11 を遅延し、上記加算回路 12 と遅延回路 14 で完全積分型のループフィルタを構成している。初期値設定回路出力である搬送波周波数誤差信号 a 11 は可変周波数発振手段として用いられる積分回路 15 に入力され、入力信号の変化に応じて周波数変換用参照信号 a 12 を出力する。この閉ループ構成で位相誤差検出回路 8 の出力がゼロに近づくように動作し、搬送波周波数誤差が補正される。

【0007】遅延回路 17 は位相信号 a 5 を遅延させ遅

$$|\Delta f| = (M 2^n T)^{-1}$$

このため、1シンボル遅延検波出力に基づいて位相誤差検出を行う従来の構成では、誤差検出精度に限りがあり、高精度な周波数誤差検出を行うことができない。特に高精度な誤差検出精度を要求される同期検波に用いるときに特性が劣化する。

【0010】この発明ではこの問題を解決し、搬送波周波数誤差が大きいときにも高精度に搬送波周波数誤差を補償することのできるデジタル復調器を提供することを目的とする。

【0011】

【課題を解決するための手段】従来の構成では、1シンボル遅延回路出力に基づいて位相誤差検出を行っていたため高精度な搬送波周波数誤差検出ができないことが問題であった。この発明では、デジタル復調器におけるオープンループとクロズドループの切替えタイミング時に誤差検出に用いる遅延検波の差分シンボル数を増加させる。図2AにMシンボル遅延回路を用いた誤差検出回路を示す。マルチシンボル遅延検波では検波出力の  $S/N$  比が改善するため、高精度な搬送波周波数誤差検出が可能である。この発明ではオープンループの誤差検出部で引き込んだ後、マルチシンボル遅延回路による誤差検出回路を動作させるため搬送波周波数誤差が大きいときにも高精度に誤差検出が可能である。

【0012】

【発明の実施の形態】図1はこの発明のデジタル復調器の実施形態を示す。この実施形態は搬送波再生法に同期検波を適用したものであり、図3と対応する部分に同一符号を付けてある。この実施例では、第一の搬送波周波数誤差補正手段である減算回路 16 からの周波数変換

遅延相信号 a 13 を出力する。減算回路 18 は遅延位相信号 a 13 から周波数変換用参照信号 a 12 を減算して周波数変換を行い、搬送波周波数誤差補正信号 a 14 を出力する。搬送波再生回路 19 は搬送波位相信号 a 15 を検出する。その後、減算回路 20 において、搬送波周波数誤差補正信号 a 14 から搬送波位相信号 a 15 を減算し、同期検波が行われる。符号判定回路 21 は、同期検波信号 a 16 の符号判定を行って出力データ信号 a 17 を出力する。

【0008】

【発明が解決しようとする課題】従来の構成では、図4に示したように位相誤差検出に1シンボル遅延回路を用いている。遅延検波の差分シンボル数  $M$  ( $M \geq 1$ : 整数) には、引き込み可能な搬送波周波数誤差の検出範囲と誤差検出精度にはトレードオフの関係がある。引き込み可能な搬送波周波数誤差検出範囲を式(6)に示す。ただし、 $2^n$  は送信信号の位相数、 $T$  はシンボル周期を示す。

【0009】

$$\dots\dots\dots (6)$$

された周波数変換信号 a 6 は複数の遅延回路に入力される。ここでは一例として3つの遅延回路を用いる場合について示す。まず、従来と同様に周波数変換信号 a 6 は減算回路 7 に入力されると共に、1シンボル遅延回路 6 により1シンボル区間遅延され遅延信号 a 7 となる。減算回路 7 では差  $(a 6 - a 7)$  なる演算が行われ、1シンボル遅延検波信号 a 8 が出力される。この実施例ではさらに周波数変換信号 a 6 は減算回路 30 に入力されると共に、2シンボル遅延回路 31 にも入力される。2シンボル遅延回路 31 からは2シンボル区間の遅延信号 a 26 が出力される。減算回路 30 では差  $(a 6 - a 26)$  なる演算が行われ、2シンボル遅延検波信号 a 27 が出力される。同様に、周波数変換信号 a 6 は減算回路 32 に入力されると共に、3シンボル遅延回路 33 にも入力される。3シンボル遅延回路 33 からは3シンボル区間の遅延信号 a 28 が出力される。減算回路 32 では差  $(a 6 - a 28)$  なる演算が行われ、3シンボル遅延検波信号 a 29 が出力される。切替回路 34 では、ループの切替え時に一回目の切替えが行われ、切替回路 34 の出力である切替回路 34 の出力信号 a 30 が1シンボル遅延検波信号 a 8 から2シンボル遅延検波信号 a 27 に切り替わる。また、2シンボル遅延検波信号 a 27 から3シンボル遅延検波信号 a 29 への切替えは、ループ利得などの各種パラメータを考慮して任意の時間で切替えを行うことができるようにすることができる。

【0013】この減算回路 30 から、切替回路 34 までの構成が、この発明のデジタル復調器の特徴とするところであり、それぞれMシンボル遅延検波手段及びM可変手段に対応する。シンボル判定回路 35 では、切替回

路34の出力信号a30に基づいて正規の判定角に最も近いように位相角判定信号を出力する。減算回路36では、シンボル判定回路35の出力である位相角判定信号a31に基づき位相回転信号a9が出力される。つまり、シンボル判定回路35と減算回路36は図4中の位相誤差検出回路8を構成している。周波数誤差検出回路9では、位相回転信号a30に対して平均化処理等を行うことにより、搬送波周波数誤差検出を行い、搬送波周波数誤差信号a10を出力する。

【0014】一方、従来と同様に利得出力回路10により得られた利得を乗算回路11で乗算し、加算回路12に入力する。初期値設定回路13には加算回路出力とオープンループ構成部から得られた搬送波周波数誤差信号a10が入力される。この初期値設定回路13は図4の場合と同様に、ループの切り替え時に初めて信号が出力されるように設定される。遅延回路14では初期値設定回路出力a11を遅延する。加算回路12と遅延回路14で完全積分型のループフィルタを構成している。初期値設定回路出力である搬送波周波数誤差信号a11は可変周波数発振手段として用いられる積分回路15に入力され、入力信号の変化に応じて周波数変換用参照信号a12を出力する。初期動作時には、減算回路7の出力を位相誤差検出回路8へ供給し、例えば $N=32$ シンボル程度の期間後に、周波数誤差検出回路9の出力a10を初期値設定回路13に設定すると共に、初期値設定回路13の出力a11を遅延回路14、加算回路12を通じてループを構成し、さらに $N=64$ シンボル程度の後、減算回路30の出力を位相誤差検出回路8へ供給し、その後 $N=96$ シンボル程度経過すると、減算回路32の出力を位相誤差検出回路8へ供給するように切替回路34を切り替える。

【0015】このように順次切り替えることにより、搬送波周波数の補正精度を徐々に向上させる。遅延回路17以後の処理は図4の場合と同一である。図2Bに図1

で示した復調器のシミュレーションによる周波数誤差に対するフレーム誤り率特性を示す。シミュレーションでは、変調方式に $\pi/4$ シフトDQPSK、検波法は同期検波を用いている。AWGN (Additive White Gaussian Noise)環境下で $E_b/N_0=8$  dB、(ビット当たりの信号エネルギー対熱雑音電力スペクトル密度比)シンボルレートは192 kHz、積分には32シンボルを用いたときの結果である。○印はこの発明の実施例であって、 $M=1, 2, 3, 4$ を順次切り替えて搬送波周波数誤差を小とした場合である。これより従来構成の搬送波周波数誤差検出を用いた復調器では1シンボル遅延回路を用いているために搬送波周波数誤差の影響を十分に抑えることができない。これに対し、図1に示した復調器では高精度に搬送波周波数誤差の影響を抑えている。これはクロズドループ部でマルチシンボル遅延回路を用いて高精度に搬送波周波数誤差検出を行っているためである。

【0016】

【発明の効果】以上述べたとおり、この発明によるデジタル復調器は従来技術と比較して回路規模の著しい増加がないにも関わらず、搬送波周波数誤差が大きいときにも高精度に搬送波周波数誤差検出が可能である。この発明は同期検波に適用しても誤り率を改善することができる。

【図面の簡単な説明】

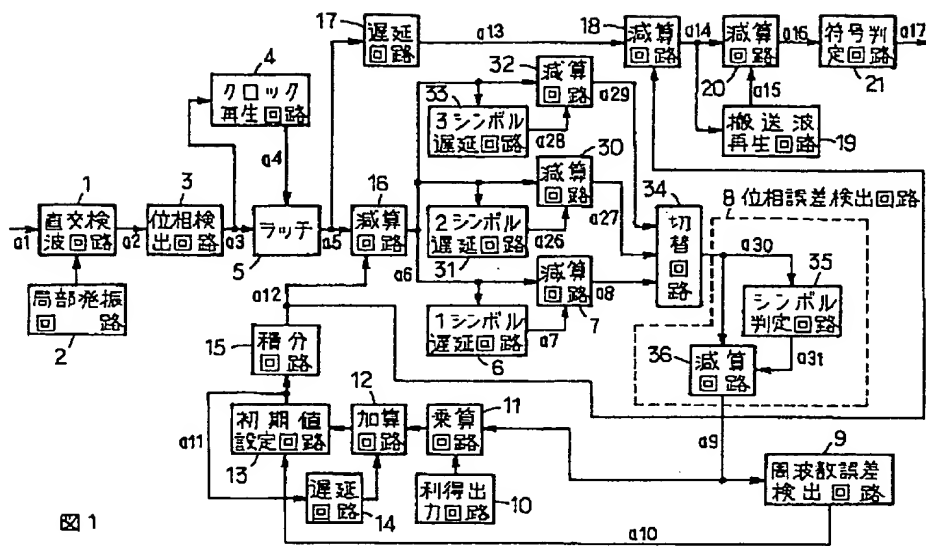
【図1】請求項1に記載の発明の実施の形態の構成を示すブロック図。

【図2】Aはこの発明の構成の特徴となるマルチシンボル周波数誤差検出回路の説明図、Bは従来構成と図1に記載の実施例構成の各符号誤り率特性のシミュレーション結果を示す図である。

【図3】従来の復調器構成を示すブロック図。

【図4】1シンボル遅延検波後の搬送波周波数誤差による位相回転を示す説明図。

【図1】



【図2】

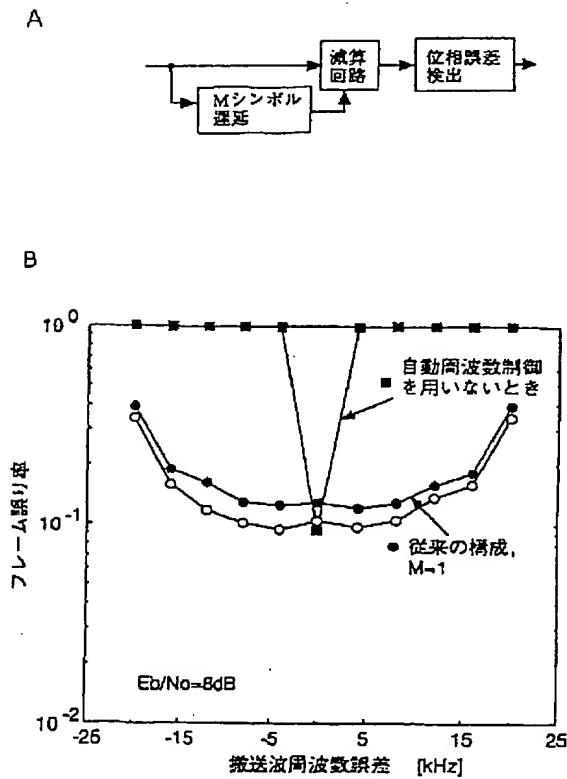


図 2

【図4】

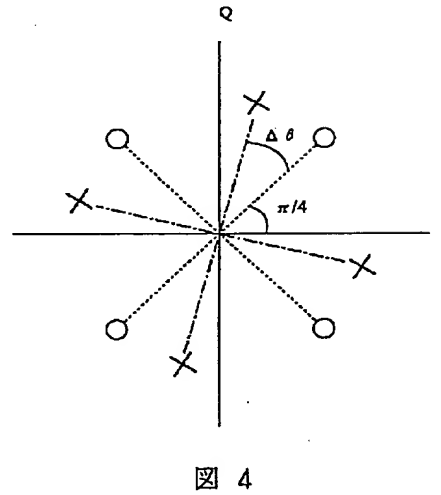


図 4

【図3】

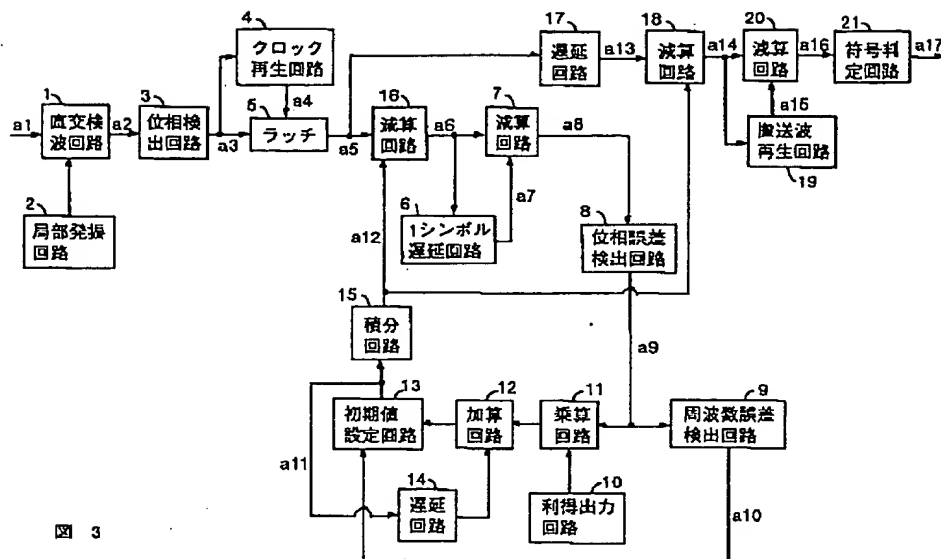


図 3